**Министерство образования и науки Российской Федерации**

**Федеральное государственное автономное образовательное учреждение высшего образования**

**«Российский государственный университет нефти и газа**

**(национальный исследовательский университет)**

**имени И. М. Губкина»**

**Кафедра Автоматизированных систем управления**

Отчет по лабораторной работе № 4

дисциплины ***Организация ЭВМ***

**ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРА И СУММАТОРА**

**Группа:** АС-23-04

**Студент:** Ханевский Ярослав Александрович

**Преподаватель:** Шеляго Наталья Дмитриевна

Москва

2023 г.

**Задание 1.**

*Формулировка задания:*синтезировать схему четырехканального мультиплексора (4 х 1) и исследовать его работу.

*Исходные данные:* для синтеза использовать Логический преобразователь.

*Ход работы:*

1. В программе EWB открыто окно Логического преобразователя. Составлена и введена следующая таблица истинности для работы четырехканального мультиплексора:

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **A1** | **A2** | **X1** | **X2** | **X3** | **X4** | **Y** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 |

Таблица 1

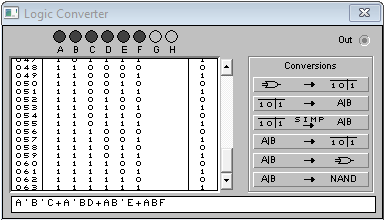
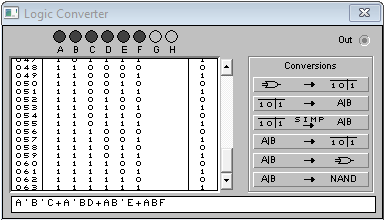


Рисунок 1

1. Найдено логическое выражение для мультиплексора: 

Рисунок

1. Синтезирована схема мультиплексора:

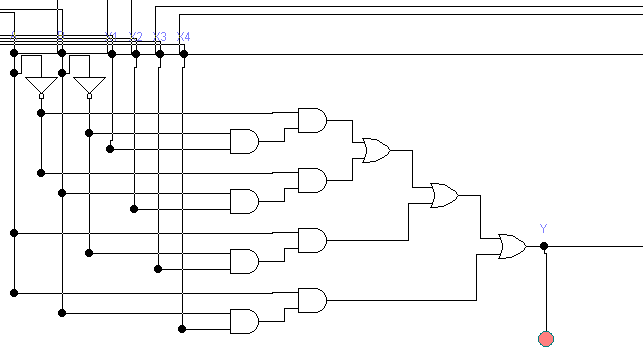


Рисунок 3

1. Подключен Генератор слов для задания информационных сигналов. Для отслеживания выходного сигнала мультиплексора подключен Логический анализатор.

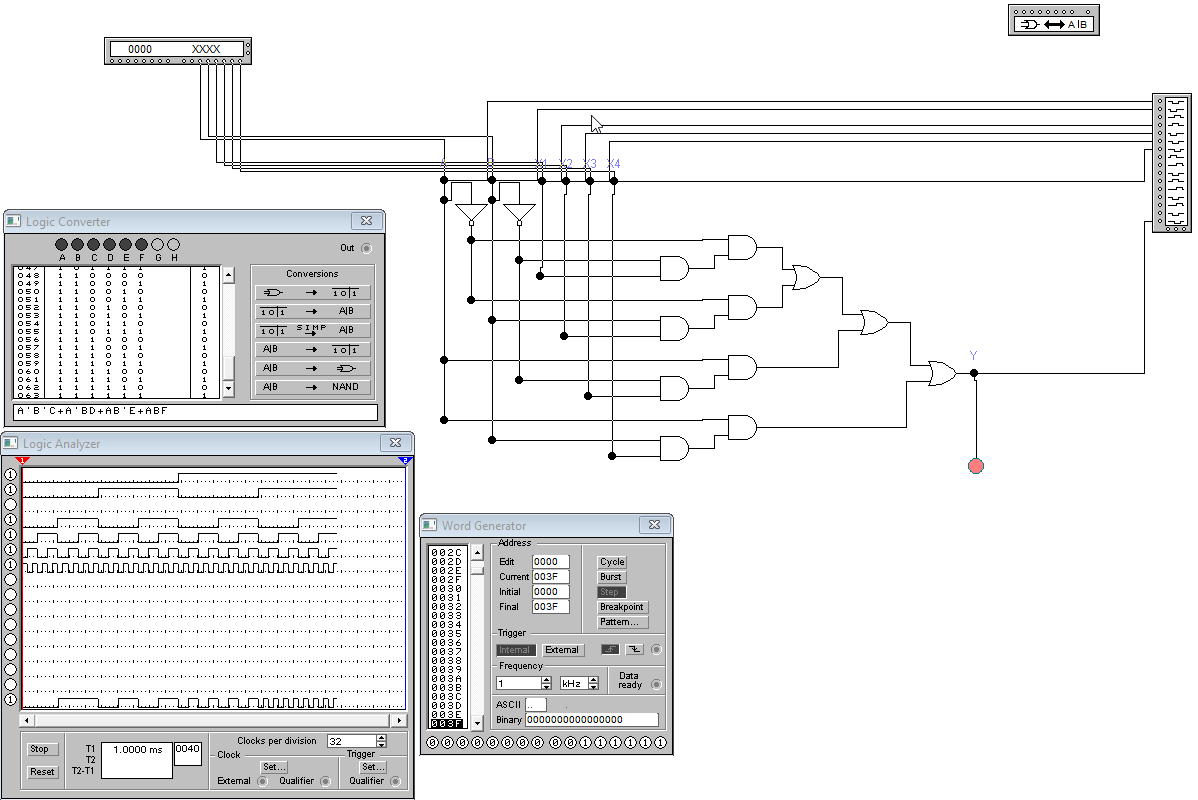


Рисунок 4

*Вывод:* мультиплексор – устройство, служащее для подключения к выходам одних устройств и передачи данных с них в одну выходную цепь и дальше на требуемые устройства; информационными входами в нашем случае являются входы X1-X4, адресными – A1 и A2; у нас число n информационных входов равно 4, число адресных входов k равно 2, между ними действует соотношение n = 2k, что значит, что мультиплексор является полным; иначе мультиплексор будет неполным. С увеличением информационных входов n таблица истинности будет увеличиваться, где количество столбцов будет равняться n+k, а количество строк – 2n+k.

**Задание 2.**

*Формулировка задания:* синтезировать и исследовать параллельный трехразрядный сумматор с последовательным переносом.

*Исходные данные:*



Рисунок 5

**

Рисунок 6

*Ход работы:*

1. На рабочем столе EWB собрана схема сумматора, для этого:

* Создана схема одноразрядного полусумматора, представленная на Рисунке 5, помещена в подсхему с названием «HA»:

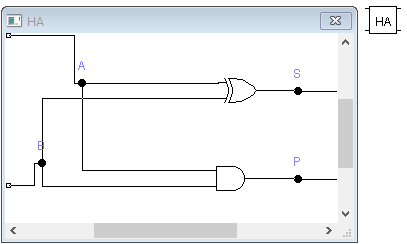


Рисунок 7

* Собрана схема полного одноразрядного сумматора на базе ранее созданной подсхемы «HA» согласно Рисунку 6 и помещена в подсхему с именем «SUM»:

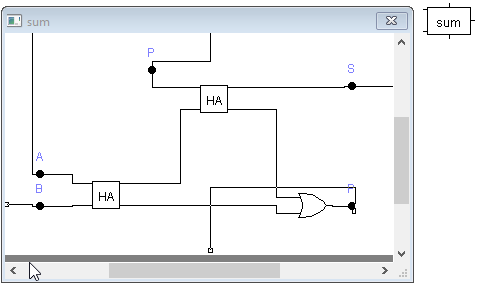


Рисунок 8

* Собрана схема параллельного трехразрядного сумматора на базе ранее созданной подсхемы «SUM», в Генератор слов занесены числа:

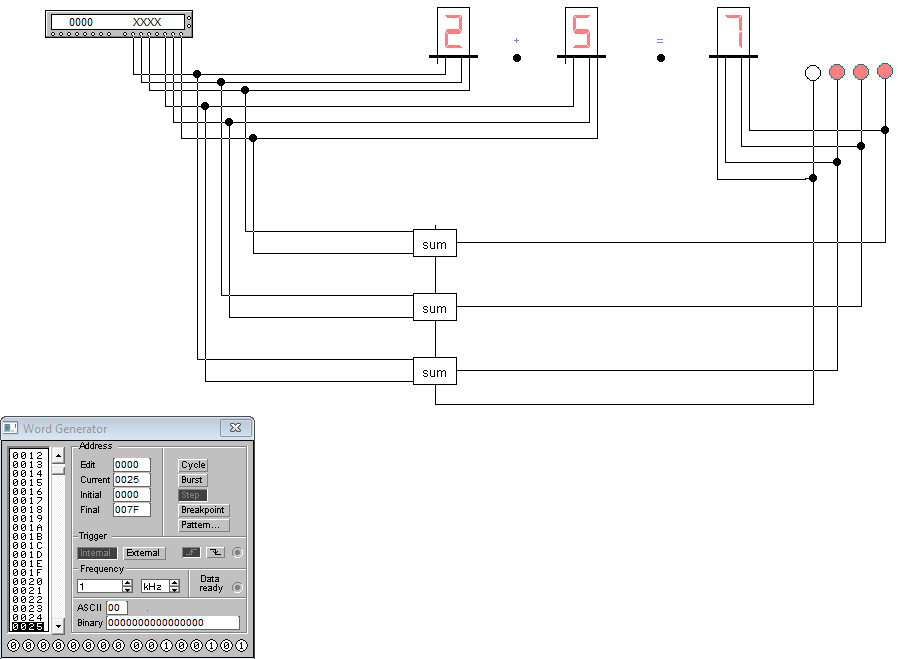


Рисунок 9

* Для контроля вводимых чисел и полученной суммы используются семисегментные индикаторы с дешифратором и светоиндикаторы.

*Вывод:* сумматором называется узел цифрового вычислительного устройства, выполняющий суммирование чисел; при сложении двух многоразрядных чисел проводится сложение трех цифр: цифры рассматриваемого разряда первого слагаемого, цифры рассматриваемого разряда второго слагаемого и цифры переноса из соседнего с рассматриваемым младшего разряда. Размерность суммы с ростом размерности слагаемых до n будет увеличиваться до n + 1.